

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-180898
(43)Date of publication of application : 30.06.2000

(51)Int.Cl. G02F 1/1365

(21)Application number : 11-353680 (71)Applicant : SAMSUNG ELECTRONICS CO LTD
(22)Date of filing : 13.12.1999 (72)Inventor : SONG JUN-HO
PARK WOON-YONG

(30)Priority

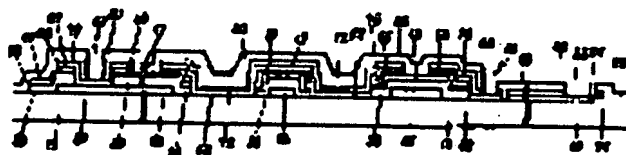
Priority number :	98	Priority date :	12.12.1998	Priority country :	KR
	9854583		28.12.1998		KR
	98				
	9863913				

(54) THIN FILM TRANSISTOR SUBSTRATE FOR LIQUID CRYSTAL DISPLAY DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To attain reduction in manufacturing cost by removing a contact layer pattern which is not covered by a conductive body pattern and removing an upper conductive layer of the conductive body pattern which is not covered by a protective film.

SOLUTION: Data lines 62, 72, data pads 64, 74, a source electrode 65, drain electrodes 66, 76, pixel electrodes 63, and gate pad patterns 67, 77, consisting of double-layer films, are formed by patterning a continuously laminated film of an ITO film with a molybdenum-tungsten alloy film or with a chromium film. Separated contact layers 55,



56... are formed by removing parts of silicide layers which are not covered by the double-layer films. A protective film 80 is laminated and patterned to form opening parts 81, 82....

Exposed upper films and semiconductor

layers thereunder, of the pixel electrodes 63, the gate patterns 67, 77 and the data pads 64, 74, are etched. Most of the pixel electrodes 63, the gate pad patterns 67, 77 and the data pads 64, 74 are formed only with the lower films 63, 67, 64. The semiconductor layers are separated into two parts, 42, 47.

LEGAL STATUS

[Date of request for examination] 04.12.2006

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2000-180898
(P2000-180898A)

(43)公開日 平成12年6月30日(2000.6.30)

(51)Int. Cl.⁷ 識別記号 F I 7-7コード(参考)
G 0 2 F 1/136 G 0 2 F 1/136 5 0 0

審査請求 未請求 請求項の数49 O L (全 26 頁)

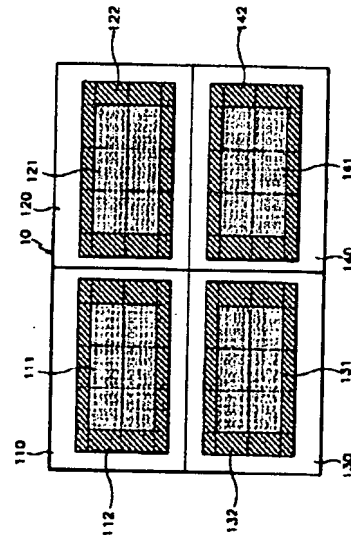
(21)出願番号	特願平11-353680	(71)出願人	390018839 三星電子株式会社 大韓民国京畿道水原市八達区梅露洞416
(22)出願日	平成11年12月13日(1999.12.13)	(72)発明者	宋 俊 昊 大韓民国京畿道水原市八達区牛湍洞牛湍住 公アパート203棟1204号
(31)優先権主張番号	1 9 9 8 P 5 4 5 8 3	(72)発明者	朴 雲 用 大韓民国京畿道水原市八達区梅露洞1洞住公 5団地アパート521棟1107号
(32)優先日	平成10年12月12日(1998.12.12)	(74)代理人	100094145 弁理士 小崎 由己男 (外1名)
(33)優先権主張国	韓国 (KR)		
(31)優先権主張番号	1 9 9 8 P 6 8 9 1 3		
(32)優先日	平成10年12月28日(1998.12.28)		
(33)優先権主張国	韓国 (KR)		

(54)【発明の名称】 液晶表示装置用薄膜トランジスタ基板及びその製造方法

(57)【要約】

【課題】 液晶表示装置用薄膜トランジスタ基板の製造費用を減少させ、漏洩電流を防止する。

【解決手段】 絶縁基板上にゲート配線を形成する段階と；ゲート配線を覆うゲート絶縁膜パターン、その上の半導体層パターン及び接触層パターンを含む三重層を形成する段階と；下部導電層及び上部導電層の二重層からなる導電体パターンを形成する段階と；導電体パターンで覆われない接触層パターンをエッチングする段階と；保護膜を形成する段階と；保護膜で覆われない導電体パターンの上部導電層をエッチングする段階と；を含む。



【特許請求の範囲】

【請求項1】 絶縁基板上にゲート配線を形成する段階と、
前記ゲート配線を覆うゲート絶縁膜パターン、ゲート絶縁膜パターンの上の半導体層パターン及び接触層パターンを含む三重層を形成する段階と、
下部導電層及び上部導電層の二重層からなる導電体パターンを形成する段階と、
前記導電体パターンで覆われない接触層パターンを除去する段階と、
保護膜を形成する段階と、
保護膜で覆われない導電体パターンの上部導電層を除去する段階と、
を含む液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項2】 前記接触層パターンはシリサイドから形成される、請求項1に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項3】 前記接触層パターンは微細結晶化された珪素からなる、請求項1に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項4】 前記三重層を形成する段階において、ゲート絶縁膜パターン、半導体層パターン及び接触層パターンを同一形態に形成する、請求項1に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項5】 前記三重層を形成する段階は、
ゲート絶縁膜及び半導体層を連続して積層する段階と、
シリサイドを形成可能な金属層を半導体層の上に積層し、半導体層の上にシリサイドからなる接触層を形成する段階と、
前記金属層を除去する段階と、
前記接触層、前記半導体層及び前記ゲート絶縁膜をパターンニングし、前記ゲート絶縁膜パターン、半導体層パターン及び接触層パターンを形成する段階と、
を含む請求項4に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項6】 前記三重層を形成する段階は、
ゲート絶縁膜及び半導体層を連続して積層する段階と、
前記半導体層及びゲート絶縁膜をパターンニングし、前記ゲート絶縁膜パターン及び半導体層パターンを形成する段階と、
シリサイドを形成可能な金属層を前記半導体層パターンの上に積層し、半導体層パターンの上にシリサイドからなる接触層パターンを形成する段階と、
前記金属層を除去する段階と、
を含む、請求項4に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項7】 前記ゲート配線を、下部膜及び下部膜上の上部膜から形成する、請求項6に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項8】 前記ゲート配線の下部膜をアルミニウムまたはアルミニウム合金から形成し、上部膜をモリブデン合金から形成し、前記金属層をクロムから形成する、請求項7に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項9】 前記ゲート配線の下部膜をクロムから形成し、上部膜をアルミニウムまたはアルミニウム合金から形成し、前記金属層をモリブデン合金から形成する、請求項7に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項10】 前記三重層を形成する段階は、
ゲート絶縁膜及び半導体層を連続して積層する段階と、
ドーピングされたアモルファスシリコンからなる接触層を前記半導体層の上に形成する段階と、
前記接触層を微細結晶化する段階と、
前記接触層、半導体層及びゲート絶縁膜をパターンニングし、前記ゲート絶縁膜パターン、半導体層パターン及び接触層パターンを形成する段階と、
を含む、請求項4に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項11】 前記三重層を形成する段階において、前記ゲート絶縁膜パターン、半導体層パターン及び接触層パターンは互い異なる形態に形成される、請求項1に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項12】 前記三重層を形成する段階は、
ゲート絶縁膜、半導体層、接触層を順に形成する段階と、

前記接触層の上部に感光膜を塗布する段階と、
前記感光膜を露光して現像し、少なくとも第1部分と、前記第1部分より厚い第2部分と、第2部分より厚い第3部分とを有する感光膜パターンを形成する段階と、
前記第1部分の下に位置する前記接触層、半導体層及び前記ゲート絶縁膜をエッチングし、前記ゲート絶縁膜パターンを形成する段階と、
前記第2部分の下に位置する前記接触層及び半導体層をエッチングし、前記接触層パターン及び半導体層パターンを形成する段階と、
を含む請求項11に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項13】 前記感光膜パターンは前記第1ないし第3部分にそれぞれ対応する第1ないし第3領域を有しており、前記第1ないし第3部分は、前記第1ないし第3領域の透過率がそれぞれ異なる1つの光マスクを通じた露光によって形成される、請求項12に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項14】 前記感光膜は陽性感光膜であり、前記第2領域の透過率は第1領域より小さく第3領域より大きい、請求項13に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項15】前記光マスクはマスク基板と少なくとも1つのマスク層とを有し、前記第2領域と第3領域との透過率の差は、光透過率が互いに異なる物質から前記マスク層を形成することによって調節されている。請求項14に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項16】前記光マスクはマスク基板と少なくとも1つのマスク層とを有し、前記第2領域と前記第3領域との光透過率の差は、前記マスク層の厚さを変更することによって調節されている。請求項14に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項17】前記光マスクには、露光に使用される露光器の分解能以下の大さを有するスリットまたは格子形態の微細パターンが形成されている。請求項14に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項18】前記光マスクは、第1ないし第3領域のうちの少なくとも1つの領域を有する、少なくとも2つのマスク基板を含む。請求項13に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項19】前記下部導電層は透明な導電物質からなる。請求項1に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項20】前記ゲート配線は、ゲート線と、ゲート線の一部であるゲート電極と、ゲート線の端に連結されていて外部からの走査信号の印加を受けるゲートパッドとを含む。

前記導電体パターンは、データ配線及び画素電極を含む。

前記三重層及び前記保護膜は、それぞれ前記ゲートパッドを外部と電気的に連結する接触孔及び第1開口部をそれぞれ有している。請求項1に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項21】前記導電体パターンは、前記接触孔を通して前記ゲートパッドと接触する補助ゲートパッドをさらに含む。

前記第1開口部は前記補助ゲートパッドの下部導電層を露出させる。請求項20に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項22】前記接触層パターンは互いに分離された2つの部分を含む。

前記データ配線は、前記ゲート線と交差するデータ線と、前記データ線と連結されていて前記接触層パターン上に形成されているソース電極と、前記ソース電極の対向側に位置する前記接触層パターン上に形成されていて前記ソース電極と分離されているドレイン電極と、前記データ線の端に連結されていて外部からの画像信号の印加を受けるデータパッドとを含む。

前記画素電極は前記ドレイン電極と連結されており、

前記保護膜は、前記画素電極の下部導電層を露出させる第2開口部と、前記データパッドの下部導電層を露出さ

せる第3開口部とを有している。

請求項21に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項23】前記保護膜は、隣接する前記データ線間の前記ゲート線の上に位置するゲート絶縁膜を露出させる第4開口部を有しており、

保護膜で覆われない半導体層パターンを除去する段階をさらに含む。請求項22に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項24】前記画素電極は、隣接するゲート線と重畳しており、前記画素電極と前記ゲート線との間に介されている半導体層パターンは孤立している。請求項23に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項25】基板の上にゲート線とゲート電極とゲートパッドとを含むゲート配線を形成する段階と、

前記ゲート配線の上にゲート絶縁膜、半導体層及び接触層を順に積層する段階と、

前記接触層及び前記半導体層を前記ゲート絶縁膜と共にエッチングし、前記ゲートパッドを露出させる接触孔を有するゲート絶縁膜パターンと半導体層パターン及び接触層パターンとを形成する段階と、

前記基板の上に下部導電層及び上部導電層からなる導電体層を形成する段階と、

前記導電体層をパターンニングし、データ線とソース電極及びドレイン電極とデータパッドとを含むデータ配線と、前記ドレイン電極と連結されている画素電極と、前記接触孔を通して前記ゲートパッドと連結される補助ゲートパッドとを形成する段階と、

露出された前記接触層をエッチングする段階と、

前記基板の上に保護膜を積層する段階と、

前記保護膜をエッチングし、前記補助ゲートパッドと、前記データパッドと、前記画素電極を露出させる第1ないし第3開口部とを有する保護膜パターンを形成する段階と、

前記保護膜で覆われない上部導電層を除去する段階と、を含む液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項26】前記第3開口部を前記画素電極より大きく形成し、前記第3開口部を通して露出された前記ゲート絶縁膜パターンをエッチングする段階をさらに含む。請求項25に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項27】前記接触層をシリサイドまたは微細結晶化された珪素またはアモルファスシリコンから形成する。請求項25に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項28】前記ゲート絶縁膜パターン、前記半導体層パターン及び前記接触層パターンを、互いに異なる形態に形成する。請求項25に記載の液晶表示装置用薄膜

トランジスタ基板の製造方法。

【請求項29】前記ゲート絶縁膜パターン、半導体層パターン、接触層パターンを形成する段階は、前記接触層の上部に感光膜を塗布する段階と、

前記感光膜を露光して現像し、少なくとも第1部分と、前記第1部分より厚い第2部分と、前記第2部分より厚い第3部分とを有する感光膜パターンを形成する段階と、

前記第1部分の下の前記接触層、半導体層及びゲート絶縁膜をエッチングしてゲート絶縁膜パターンを形成する段階と、

前記第2部分の下の前記接触層及び半導体層をエッチングし、前記接触層パターン及び半導体層パターンを形成する段階と、

を含む請求項28に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項30】前記感光膜パターンは前記第1ないし第3部分にそれぞれ対応する第1ないし第3領域を有しており、第1ないし第3部分は前記第1ないし第3領域での光透過率が異なる光マスクを通した露光によって形成される。請求項28に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項31】前記光マスクはマスク基板と少なくとも1つのマスク層とを有し、前記第2領域と前記第3領域との光透過率の差は、前記マスク層を光透過率が互いに異なる物質から形成することによって調節されている。請求項30に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項32】前記光マスクはマスク基板と少なくとも1つのマスク層とを有し、前記第2領域と前記第3領域との光透過率の差は前記マスク層の厚さを変更することによって調節されている。請求項30に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項33】前記光マスクには露光に使用される露光露の分解能以下の大きさの開口を有するスリットまたは格子形状の微細パターンが形成されている。請求項30に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項34】前記光マスクは前記第1ないし第3領域のうち少なくとも1つの領域を有するマスクを少なくとも2つ含む。請求項30に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項35】前記第1及び第2部分は前記接触層及び前記半導体層パターンの上部に形成される。請求項29に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項36】前記ゲート絶縁膜パターン、半導体層パターン及び接触層パターンを形成する段階は、前記接触層の上部に感光膜を塗布する段階と、

前記感光膜を露光して現像し、少なくとも第1部分と、前記第1部分より厚い第2部分と、前記第2部分より厚

い第3部分とを有する感光膜パターンを形成する段階と、

前記第1部分の下の前記接触層、前記半導体層及び前記ゲート絶縁膜をエッチングする段階と、

アッシング (ashing) 工程を通して前記第2部分の前記感光膜パターンを除去する段階と、

前記第3部分の前記感光膜パターンをエッチングマスクとして利用し、前記接触層及び前記半導体層をエッチングする段階と、

を含む請求項28に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項37】ゲート線とゲート電極とゲートパッドとを含むゲート配線を基板上に形成する段階と、

前記ゲート配線の上にゲート絶縁膜パターンを形成する段階と、

前記ゲート絶縁膜パターン上に半導体層パターンを形成する段階と、

前記半導体層パターン上に接触層パターンを形成する段階と、

データ線とソース電極とドレイン電極とデータパッドとを含むデータ配線を形成する段階と、

保護膜パターンを形成する段階と、

前記ドレイン電極と連絡される画素電極を形成する段階とを含む。

部分に応じて厚さが異なる1つの感光膜パターンを用いて前記接触層パターン及び前記半導体層パターンと共にエッチングし、前記ゲート絶縁膜パターンを形成する液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項38】前記感光膜パターンは、第1部分と、前記第1部分より厚い第2部分と、前記第1部分より厚く前記第2部分より厚い第3部分とを含む。請求項37に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項39】前記感光膜パターンは光マスクを用いた露光工程によって形成され、

前記光マスクは、前記第1部分に対応する第1領域と、前記第2部分に対応する第2領域と、前記第3部分に対応する第3領域とを含む。

前記第1ないし第3領域の光透過率は互いに異なる。請求項38に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項40】前記感光膜パターンは陽性感光膜からなり、前記第3領域の光透過率は、第1領域より小さく第2領域より大きい。請求項39に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項41】前記光マスクは、マスク基板と少なくとも1つのマスク層とを有し、

前記第1領域と前記第3領域との光透過率の差は、前記マスク層を光透過率が互いに異なる物質から形成することによって調節されている。請求項40に記載の液晶表

示装置用薄膜トランジスタ基板の製造方法。

【請求項42】前記光マスクはマスク基板と少なくとも1つのマスク層とを有し、

前記第1領域と前記第3領域との光透過率の差は、前記マスク層の厚さを変更することによって調節されている、請求項40に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項43】前記光マスクには露光に使用される露光光源の分解能以下の大きさを有するスリットまたは格子形態の微細パターンが形成されている、請求項40に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項44】ゲート線とゲート電極とゲートパッドとを含むゲート配線と共通電極線及び共通電極を含む共通電極配線とを、基板上に形成する段階と、

前記ゲート配線及び共通電極配線の上にゲート絶縁膜、半導体層及び接触層を連続して蒸着する段階と、

前記接触層の上に感光膜を塗布する段階と、

前記感光膜を露光及び現像して部分に応じて厚さが異なる感光膜パターンを形成する段階と、

前記感光膜パターンを利用して前記接触層及びその下部の前記半導体層をパターンングし、一次接触層パターン及び半導体層パターンを形成すると共に前記ゲートパッドを露出させる接触孔を形成する段階と、

導電体を積層する段階と、

前記導電体層及び導電体層の下部の前記一次接触層パターンを写真エッチングし、データ線、ソース電極、ドレーン電極、画素電極及びデータパッドを含むデータ配線とデータ配線の下部の二次接触層パターンとを形成する段階と、

保護絶縁膜を積層する段階と、

前記保護絶縁膜をパターンングし、前記ゲートパッド及び前記データパッドを露出させる段階と、

を含む液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項45】絶縁基板と、

前記基板の上に形成されているゲート線と、前記ゲート線と連結されているゲート電極と、前記ゲート線の端に連結されているゲートパッドとを含むゲート配線と、

前記ゲート配線を覆っていて前記ゲートパッドを露出させる接触孔を有しているゲート絶縁膜と、

前記ゲート絶縁膜の上に形成されている半導体層と、

前記半導体層の上に上部層及び下部層の二重層から形成されていて前記ゲート線と交差するデータ線と、前記ゲート電極に隣接するソース電極と、前記データ線的一端に連結されていて主に前記下部層からなるデータパッドと、前記データ線及びソース電極と分離されていて前記ゲート電極に対して前記ソース電極の反対側に位置するドレーン電極とを含むデータ配線と、

前記接触孔を通して前記ゲートパッドを覆い、主に前記

下部層からなる補助ゲートパッドと、

前記ドレーン電極と連結されており、主に前記下部層からなる画素電極と、

前記データ配線、半導体層、ゲート絶縁膜及び基板の上に形成されており、前記画素電極を露出させる第1開口部と、隣接する前記データ線の間のゲート絶縁膜を露出させる第2開口部と、前記補助ゲートパッドを露出させる第3開口部と、前記データパッドを露出させる第4開口部とを有している保護膜とを含み、

前記上部層は前記下部層と前記保護膜との間にのみ形成されており、隣接した2つの前記データ線の下部の前記半導体層は互いに分離されている液晶表示装置用薄膜トランジスタ基板。

【請求項46】前記半導体層の境界は前記ゲート絶縁膜と前記保護膜とが重畳する部分と一致する、請求項45に記載の液晶表示装置用薄膜トランジスタ基板。

【請求項47】前記下部層は透明な導電物質からなる、請求項46に記載の液晶表示装置用薄膜トランジスタ基板。

【請求項48】前記半導体層と前記下部層との間に形成されており、前記半導体層と前記下部層との間の接触抵抗を減少させるために、シリサイドまたは微細結晶化されてドーピングされたアモルファスシリコンからなる接触層をさらに含む、請求項47に記載の液晶表示装置用薄膜トランジスタ基板。

【請求項49】前記接触層の境界は前記半導体層と前記データ配線とが重畳する部分と一致する、請求項48に記載の液晶表示装置用薄膜トランジスタ基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は液晶表示装置用薄膜トランジスタ基板及びその製造方法に関する。

【0002】

【従来の技術】液晶表示装置は、現在最も広く使用されている平板表示装置の1つである。液晶表示装置は、電極が形成されている2枚の基板とその間に挿入されている液晶層とからなる。液晶表示装置では、電極に電圧を印加して液晶層の液晶分子を再配列させることにより透過する光の量を調節する。

【0003】液晶表示装置のうち現在主に使用されているものは、2枚の基板に電極がそれぞれ形成されており、電極に印加される電圧をスイッチングする薄膜トランジスタを有している。この薄膜トランジスタは、2枚の基板のうちの1つに形成されるのが普通である。

【0004】一般に、薄膜トランジスタが形成されている基板は、マスクを利用した写真エッチング工程を通して製造される。この時、生産費用を削減するためにはマスクの数を減少させるのが好ましく、現在は通常5枚または6枚のマスクが使用されている。

【0005】

【発明が解決しようとする課題】従来の技術の一例として、グリッド形態のパターンが形成されたマスクを含む4枚のマスクを利用して薄膜トランジスタを製造する方法が開示されている(Chang Hoon Hanなど、Proceedings of The 18th International Display Research Conference Asia Display 98, p. 1109~1112, 1998, 9.28~10.1; 以下、“アジアディスプレイ”と称する)に記載されている。しかし、ここではパッドを始めとした薄膜トランジスタ基板全体に対する工程に関する言及がないので、薄膜トランジスタ基板全体をどのような方法で何枚のマスクを使用して製造するのかわからない。

【0006】また、一般に、画素に印加された電圧を長時間保存するために維持電極を形成する。維持電極は、ゲート電極及びゲート線と同一層に形成された維持容量電極と、保護膜の上に形成された画素電極とを重畳して形成する。しかし、維持容量電極は、ゲート絶縁膜、半導体層及び保護膜で覆われており、画素電極は下部のゲート絶縁膜無しで直接基板の上に形成されている。そのため、画素電極を維持容量電極と重畳させるためには、ゲート絶縁膜、半導体層及び保護膜からなる三層膜上に画素電極を基板上から形成しなければならない。これによって段差が激しくなって断線が発生するおそれがある。また、グリッドマスクで処理可能な領域が限定されているため、広範囲な領域を処理することができなかつたり、たとえ可能であるとしても全体的に均一なエッチングの深さを有するように処理することは困難である。

【0007】また、グリッド光マスクを利用して露光したり、光マスクの遮断層の厚さを調節して透過率を異にすることによって形成された感光膜の厚さの差を用いるイオン注入及び薄層エッチング方法などが、米国特許第4,231,811号、第5,618,643号、第4,416,262号及び特開昭61-181130号などに開示されている。しかし、これらも前述と同様の問題点を有している。

【0008】本発明は前記問題点を解決するためのものであって、その目的は液晶表示装置用薄膜トランジスタ基板を製造する新たな方法を提供し、液晶表示装置用薄膜トランジスタ基板の製造費用を減少させ、液晶表示装置用薄膜トランジスタ基板の漏洩電流を防止することにある。

【0009】

【課題を解決するための手段】前記課題を達成するために、本発明では、ゲートパッドを露出させる接触孔を有するゲート絶縁パターンを半導体層パターン及び接触層パターンと共にパターンニングして形成し、画素電極とデータ配線とを含む二重導電層パターンを形成し、二重導電層パターンで覆われない接触層を除去する。次いで、保護膜パターンを形成し、保護膜で覆われない二重導電層パターンの上部膜をエッチングする。

【0010】このような本発明による薄膜トランジスタ基板の製造方法は、第1写真エッチング工程で絶縁基板上にゲート配線を形成し、第2写真エッチング工程で前記ゲート配線を覆うゲート絶縁パターン、その上の半導体層パターン及び接触層パターンを含む三重層を形成する。次いで、第3写真エッチング工程で下部導電層及び上部導電層の二重層からなる導電体パターンを形成し、前記導電体パターンで覆われない前記接触層パターンをエッチングする。次いで、第4写真エッチング工程で保護膜を形成し、前記保護膜で覆われない前記導電体パターンの上部導電層をエッチングする。

【0011】ここで、接触層パターンはシリサイド、微細結晶化された珪素またはドーピングされた珪素から形成することができる。

【0012】この時、ゲート絶縁パターン、半導体層パターン及び接触層パターンは同一形態に形成することができる。

【0013】1つの方法としては、ゲート絶縁膜及び半導体層を連続して積層し、半導体層の上にシリサイドが形成可能な金属層を積層して半導体層の上にシリサイドからなる接触層を形成し、金属層を除去する。次いで、第2写真エッチング工程で接触層、半導体層及びゲート絶縁膜をパターンニングしてゲート絶縁パターン、半導体層パターン及び接触層パターンを形成する。

【0014】他の方法としては、まず、ゲート絶縁膜及び半導体層を連続して積層し、第2写真エッチング工程で半導体層及びゲート絶縁膜をパターンニングしてゲート絶縁パターン及び半導体層パターンを形成する。次いで、半導体層パターンの上にシリサイドが形成可能な金属層を積層して半導体層パターンの上にシリサイドからなる接触層パターンを形成し、金属層を除去する。ここで、ゲート配線は、アルミニウムまたはアルミニウム合金からなる下部膜とモリブデンまたはモリブデン合金からなる上部膜とから形成することができ、金属層はクロムから形成することができ、また、クロムからなる下部膜とアルミニウムまたはアルミニウム合金からなる上部膜とから形成することができ、金属層はモリブデン合金から形成することができる。

【0015】また、その他の方法としては、ゲート絶縁膜及び半導体層を連続して積層し、半導体層の上にドーピングされたアモルファスシリコンからなる接触層を形成する。次いで、接触層を微細結晶化し、第2写真エッチング工程で接触層、半導体層及びゲート絶縁膜をパターンニングしてゲート絶縁パターン、半導体層パターン及び接触層パターンを形成する。

【0016】また、ゲート絶縁パターン、半導体層パターン及び接触層パターンは互いに異なる形態に形成することができる。

【0017】このような方法では、ゲート絶縁膜、半導体層、接触層を順に形成し、接触層の上部に感光膜を塗

布する。次いで、感光膜を露光して現像することで、少なくとも第1部分と、第1部分より厚い第2部分と、第2部分より厚い第3部分とを有する感光膜パターンを形成する。次いで、第1部分の下に接触層、半導体層及びゲート絶縁膜をエッチングしてゲート絶縁膜パターンを形成し、第2部分の下に接触層及び半導体層をエッチングして接触層パターン及び半導体層パターンを形成する。

【0018】このような感光膜パターンは第1ないし第3部分にそれぞれ対応する第1ないし第3領域を有しており、第1ないし第3領域の透過率がそれぞれ異なる1つの光マスクを通じた露光工程によって形成され、露光膜を使用するのが好ましく、第2領域の透過率は第1領域より小さく第3領域より大きいのが好ましい。

【0019】光マスクはマスク基板及び少なくとも1つ以上のマスク層を有し、第2領域と第3領域との透過率の差はマスク層を光透過率が互いに異なる物質で形成することによって調節することができ、マスク層の厚さを変更することによって調節することもできる。

【0020】また、光マスクには露光に使用される露光機の分解能以下の大きさを有するスリットまたは格子形態の微細パターンが形成されていて透過率を調節することができ、光マスクは第1ないし第3領域のうちの少なくとも1つ以上の領域を有する少なくとも2つ以上のマスクを含むことができる。

【0021】このような本発明による薄膜トランジスタ基板の製造方法では下部導電層を透明な導電物質から形成するのが好ましい。

【0022】ゲート配線はゲート線と、ゲート線の一部であるゲート電極と、ゲート線の端に連結されていて外部からの走査信号の印加を受けるゲートパッドとを含み、導電体パターンはデータ配線及び画素電極を含み、三重層及び保護膜はそれぞれ前記ゲートパッドを外部と電気的に連結する接触孔及び第1開口部をそれぞれ有している。

【0023】また、導電体パターンは接触孔を通してゲートパッドと接触する補助ゲートパッドをさらに含み、補助ゲートパッドの下部導電層は第1開口部を通して露出されている。

【0024】ここで、接触層パターンは互いに分離された2つの部分を含み、データ配線はゲート線と交差するデータ線と、データ線と連結されていて接触層パターンの1つの部分の上に形成されているソース電極と、ソース電極の対向側に位置する接触層パターンの他の部分の上に形成されていてソース電極と分離されているドレイン電極と、データ線の端に連結されていて外部からの画素信号の印加を受けるデータパッドとを含む。画素電極はドレイン電極と連結されており、保護膜は画素電極の下部導電層を露出させる第2開口部とデータパッドの下部導電層を露出させる第3開口部とを有している。

【0025】この時、データ線間のゲート線の上部の前記ゲート絶縁膜を露出させる第4開口部を有するのが好ましく、保護膜で覆われない半導体層パターンを除去する段階をさらに含む。

【0026】本発明による薄膜トランジスタ基板の他の製造方法は、第1写真エッチング工程で基板の上にゲート線とゲート電極とゲートパッドとを含むゲート配線を形成する。次いで、ゲート配線の上にゲート絶縁膜、半導体層及び接触層を順に積層し、第2写真エッチング工程で接触層及び半導体層をゲート絶縁膜と共にエッチングしてゲートパッドを露出させる接触孔を有するゲート絶縁膜パターンと半導体層パターンと接触層パターンとを形成する。次いで、基板の上に下部導電層及び上部導電層からなる導電体層を形成し、第3写真エッチング工程で導電体層をパターンニングしてデータ線とソース及びドレイン電極とデータパッドを含むデータ配線と、ドレイン電極と連結されている画素電極パターンと、接触孔を通してゲートパッドと連結される補助ゲートパッドとを含む導電体パターンを形成する。次いで、基板の上部に保護膜を積層し、第4写真エッチング工程で保護膜をエッチングして補助ゲートパッド、データパッド、画素電極を露出させる第1ないし第3開口部を有する保護膜パターンを形成し、第1ないし第3開口部を通じて露出された上部導電層を除去する。

【0027】ここで、第3開口部は画素電極パターンより大きく形成するのが好ましく、接触層はシリサイドまたは微細結晶化された珪素またはアモルファスシリコンから形成するのが好ましい。

【0028】ここで、ゲート絶縁膜パターン、半導体層パターン、接触層パターンは互いに異なる形態に形成することもできる。

【0029】また、本発明による薄膜トランジスタ基板の他の製造方法は、基板の上にゲート線とゲート電極とゲートパッドとを含むゲート配線を形成し、ゲート配線の上にゲート絶縁膜パターンを形成し、ゲート絶縁膜パターンの上に半導体層パターン及び接触層パターンを順に形成し、データ線とソース及びドレイン電極とデータパッドを含むデータ配線を形成する。次いで、保護膜パターンを形成し、ドレイン電極と連結される画素電極を形成する。この時、ゲート絶縁膜パターンは部分に応じて厚さが異なる1つの感光膜パターンを利用して接触層パターン及び半導体層パターンと共にエッチングして形成する。

【0030】このような感光膜パターンは、第1部分と、第1部分より厚い第2部分と、第1部分より厚く第2部分より薄い第3部分とを含む。

【0031】また、感光膜パターンは光マスクを利用して露光工程によって形成され、光マスクは透過率が互いに異なる第1部分に対応する第1領域と、第2部分に対応する第2領域と、第3部分に対応する第3領域とを含む。

る。

【0032】また、感光膜パターンは陽性感光膜を使用するのが好ましく、第3領域の透過率は第1領域より小さく第2領域より大きいのが好ましい。

【0033】また、光マスクはマスク基板及び少なくとも1つの調節膜を含み、透過率が異なるように調節するために透過率が互いに異なる調節膜を形成することができ、調節膜の厚さを調節することもできる。

【0034】また、本発明の実施形態例による薄膜トランジスタ基板の他の製造方法は、基板の上にゲート線とゲート電極とゲートパッドとを含むゲート配線と、共通電極線及び共通電極を含む共通電極配線とを形成する。次いで、ゲート配線及び共通電極配線の上にゲート絶縁膜、半導体層、接触層を連続して蒸着し、接触層の上に感光膜を塗布し、露光及び現像工程を通して部分に依りて厚さの異なる感光膜パターンを形成する。次いで、感光膜パターンを利用して接触層及びその下部の半導体層をパターンニングして一次接触層パターン及び半導体層パターンを形成すると共にゲートパッドを露出させる接触孔を形成する。次いで、導電体層を積層し、導電体層及びその下部の一次接触層パターンを写真エッチングしてデータ線、ソース及びドレイン電極、画素電極、データパッドを含むデータ配線及びその下部の二次接触層パターンを形成する。次いで、保護絶縁膜を積層してパターンニングしてゲートパッド及びデータパッドを露出させる。

【0036】本発明の実施形態例による薄膜トランジスタ基板には、絶縁基板の上にゲート線、ゲート線と連結されているゲート電極、ゲート線の端に連結されているゲートパッドを含むゲート配線が形成されており、ゲートパッドを露出させる接触孔を有しているゲート絶縁膜で覆われている。ゲート絶縁膜の上に半導体層が形成されており、半導体層の上には上部層及び下部層の二重層から形成されていてゲート線と交差するデータ線と、ゲート電極に隣接するソース電極と、データ線の一端に連結されていて主に下部層からなるデータパッドと、データ線及びソース電極と分離されていてゲート電極に対してソース電極の反対側に位置するドレイン電極とを含む導電体パターンが形成されている。データ配線と同一な層には接触孔を通してゲートパッドを覆っていて主に下部層からなる補助ゲートパッドと、ドレイン電極と連結されていて主に下部層からなる画素電極とが形成されている。導電体パターン、半導体層、ゲート絶縁膜及び基板の上には画素電極を露出させる第1開口部と、隣接するデータ線の間のゲート線の上部のゲート絶縁膜を露出させる第2開口部と、補助ゲートパッドを露出させる第3開口部と、データパッドを露出させる第4開口部とを有している保護膜が形成されている。この時、上部層は下部層と保護膜との間のみ形成されており、隣接した2つのデータ線の下部の半導体層は互いに分離されてい

る。

【0036】この時、半導体層の境界はゲート絶縁膜と保護膜とが重畳する部分と一致し、下部層は透明な導電物質からなる。

【0037】ここで、半導体層と下部層との間に形成されていて、半導体層と下部層との間の接触抵抗を減少させるためにシリサイドまたは微細結晶化されドーピングされたアモルファスシリコンからなる接触層をさらに含むことができ、接触層の境界は半導体層と導電体パターンとが重畳する部分と一致する。

【0038】

【発明の実施の形態】以下、本発明の液晶表示装置及びその製造方法について、実施形態例を挙げ、添付図面に基いて詳しく説明する。

【0039】本発明の実施形態例に係る液晶表示装置用薄膜トランジスタ基板及びその製造方法では、ゲートパッドを露出させる接触孔を有するゲート絶縁膜パターンを半導体層パターン及び接触層パターンと共にエッチングして形成し、データ配線及び画素電極を含む二重導電層パターンを形成し、二重導電層パターンで覆われない接触層を除去する。次いで保護膜を形成し、保護膜で覆われない二重導電層パターンの上部膜をエッチングする。

【0040】まず、図1～5に基づいて、本発明の実施形態例に係る薄膜トランジスタ基板の構造について詳しく説明する。

【0041】図1は、多数の液晶表示装置用パネル領域が形成された絶縁基板を示している。図1では、1つのガラス基板10に4つの液晶表示装置用パネル領域110、120、130、140が形成されている。形成されるパネルが薄膜トランジスタパネルである場合、パネル領域110、120、130、140は、多数の画素からなる画面表示部111、121、131、141及び周辺部112、122、132、142を含む。画面表示部111、121、131、141には、主に薄膜トランジスタ、配線及び画素電極などが行列の形態に反復して配置されている。周辺部112、122、132、142には、駆動素子と連絡される要素、即ちパッドとその他の静電気保護回路などが配置される。

【0042】一般に、このような液晶表示装置の形成には、ステッパー露光器を使用する。ステッパー露光器を使用する場合には、画面表示部111、121、131、141及び周辺部112、122、132、142をさらに多数の区域に区分し、区域別に同一マスクまたは異なる光マスクを使用して薄膜の上にコーティングされた感光膜を露光する。その後、基板全体を現像して感光膜パターンを形成し、下部の薄膜をエッチングすることによって特定の薄膜パターンを形成する。このような薄膜パターンを反復して形成することにより、液晶表示装置用薄膜トランジスタ基板が完成される。

【0043】ただし、ステッパー露光器を使用せずに1回で露光することもできる。また、1つの絶縁基板に1つの液晶表示パネルのみを形成することもできる。

【0044】図2は、図1の1つのパネル領域に形成された液晶表示装置用薄膜トランジスタ基板の構成を概略的に示した図である。

【0045】図2に示すように、一点鎖線1で囲まれた画面表示部には、多数の薄膜トランジスタ3と、それぞれの薄膜トランジスタ3に電気的に接続されている画素電極63と、ゲート線22及びデータ線72を含む配線などが形成されている。画面表示部の外周周辺部には、ゲート線22の端に接続されたゲートパッド24と、データ線72の端に接続されたデータパッド74とが配置されている。静電気放電による素子破壊を防止するために、ゲート線22及びデータ線72をそれぞれ電気的に連結して等電位に形成するためのゲート線ショートバー4及びデータ線ショートバー5が配置されている。ゲート線ショートバー4及びデータ線ショートバー5は、ショートバー連結部6を通過して電気的に連結されている。このショートバー4、5は後に除去される。これらを除去する時に基板を切断する線が線2である。ゲート線ショートバー4及びデータ線ショートバー5と絶縁膜（図示しない）を間においているショートバー連結部6とを連結するために、接触孔7が絶縁膜に形成されている。

【0046】まず、図3～5に基づいて、本発明の第1実施形態例に係る液晶表示装置用薄膜トランジスタ基板の構成について詳しく説明する。

【0047】図3は、画面表示部の薄膜トランジスタと画素電極及び配線と周辺部のパッドとを拡大して示した配置図である。図4は、図3に示した薄膜トランジスタ基板を1V-1V線方向から見た断面図である。図5は、図3に示した薄膜トランジスタ基板をV-V線方向から見た断面図である。

【0048】まず、図3に示すように、絶縁基板10の上にアルミニウムまたはアルミニウム合金などの金属からなるゲート配線が形成されている。ゲート配線は、図中横方向に伸びているゲート線22とゲートパッド24とゲート電極26とを含む。ゲートパッド24は、ゲート線22の端に接続されていて、外部から印加される走査信号をゲート線22に伝達する。ゲート電極26は、ゲート線22の一部である薄膜トランジスタを含んでいる。

【0049】ゲート配線22、24、26は、単一層から形成できるが、二重層または三重層から形成してもよい。単一層から形成する場合には、例えばアルミニウム（Al）またはアルミニウム（Al）-ネオジム（Nd）合金で約1、000Åないし3、000Åの厚さを有するように形成する。二重層から形成する場合には、例えば下部層を抵抗が小さいアルミニウム（Al）-ネ

オジム（Nd）合金で約1、000～2、000Åの厚さを有するように形成し、上部層を他の物質との接触特性が良好なモリブデン（Mo）-タングステン（W）合金で約500～1、000Åの厚さを有するように形成する。勿論、クロム、モリブデンまたはモリブデン合金などを、単一膜またはアルミニウム膜やアルミニウム合金膜との二重膜として用いてもよい。

【0050】図4に示すように、ゲート配線22、24、26の上には、窒化珪素（SiNX）などからなる2、500～5、000Åの厚さを有するゲート絶縁膜パターン30が形成されている。

【0051】ゲート絶縁膜パターン30の上には、水素化（hydrogenated）アモルファスシリコンなどの半導体からなる半導体層パターン42、47が1、000～2、000Åの厚さに形成される（図4参照）。図3に示すように、半導体層パターン42、47は、互いに分離された多数の第1部分42及び第2部分47に分けられる。第1部分42は、ゲート電極26の付近に位置し、薄膜トランジスタのチャンネル層の役割を果たす。多数の第2部分47は、ゲート線22の上部に位置し、互いに孤立している。図4に示すように、ゲートパッド24に隣接する第2部分47は、ゲートパッド24部分まで延長されている。

【0052】図4に示すように、半導体層パターン42、47の上には、単一膜または付従膜から形成された十数Åないし数十Åの厚さを有する接触層パターン55、56、57、58が形成されている。単一膜は、例えばモリブデンまたはクロムなどのシリサイドまたは微細結晶化されてドーピングされたアモルファスシリコンからなる。二重膜は、例えば微細結晶化されてドーピングされたアモルファスシリコン膜及びその上のシリサイド層からなる。接触層パターン55、56、57、58は、互いに分離された4つの部分に分けることができる。そのうちの2つの部分55、56は、ゲート電極26に隣接してゲート電極26に対して互いに対向している。他の1つの部分58は、ゲートパッド24の周縁に位置している。他の1つの部分57は、半導体層47と隣接する画素電極またはデータ線とが重畳する部分に位置している。

【0053】一方、ゲートパッド24の上に形成されたゲート絶縁膜パターン30、半導体層パターン47、接触層パターン58はゲートパッド24を露出させる接触孔82を有している。

【0054】接触層パターン55、56、57、58及び基板10の上には、下部導電体層62、63、64、65、66、67と、上部導電体層72、74、75、76、77との二重膜からなる導体パターンが形成されている（図4参照）。下部導電体層は、主にITO（indium tin oxide）またはIZO（indium zinc oxide）などの透明導電物質からなる300～1、000Åの厚

さの層である。上部導電体層は、モリブデン・タンタム合金またはクロムなどの導電物質からなる1.000〜3.500Åの厚さの層である。

【0056】データ配線は、縦方向に形成されているデータ線62、72と、データ線62、72の端に連結されて外部からの画像信号の印加を受けるデータパッド64、74と、データ線62、72の一部として接触層の一部分55の上に形成されているソース電極65、75とからなる。ここで、データパッド64、74は周縁部以外の大部分が下部導電層64のみからなっている。ゲート線22及びデータ線62、72に囲まれた画素領域には画素電極63が形成されている。接触層の一部分56の上にはドレイン電極66、76が形成されている。ここで、画素電極63は、周縁部の一部以外の大部分が下部導電層63のみからなっている。画素電極は下部導電層63のみからなることもできる。一方、図5に示すように、画素電極63と、縦方向の上側に位置したゲート線22とは、ゲート絶縁膜30を挟んで重畳し、維持電極を形成する。ゲートパッドパターン67、77は、ゲートパッド24の上に形成されており、接触孔82を通してゲートパッド24を覆ってゲートパッド24と外部との電気的接触を補完する役割を果たす(図4参照)。また、ゲートパッドパターン67、77も、周縁部の一部以外の大部分が下部導電層67からなっている。

【0056】ここでは下部導電体層として透明な導電物質を使用した。反射型液晶表示装置の場合には不透明な導電物質を使用しても差支えない。

【0057】図3において、接触層パターン55、56、57、58は、半導体層パターン42、47と下部導電層62、63、64、65、66、67とが重畳する部分でその間に形成されており、半導体層パターン42、47と下部導電層62、63、64、65、66、67との接触抵抗を減少させる役割を果たす。

【0058】最後に、このような構造の全面に、窒化珪素などからなる保護膜80が1.500〜4.000Åの厚さで形成されている。保護膜80及び上部導電体層72、74、75、76、77には、開口部81、82、83と、ゲート絶縁膜30を露出させる2つの開口部84、85とが形成されている。開口部81、82、83は、下部導電体層の画素電極63とゲートパッドパターン67とデータパッド64とをそれぞれ露出させる。開口部84、85は、半導体層を2つの部分42、47に分離する役割を果たす。これにより、特に本実施形態例のように画素電極63が前段ゲート線と重畳する前段ゲート方式の場合、図1及び3に示すように、ゲート線22をゲートとし、データ線62、72をソースとし、画素電極63をドレインとする寄生トランジスタの発生を防止する。このように半導体層を2つの部分に分離することは前段ゲート方式のみにおいて必要なことで

はない。即ち、半導体層はゲート電圧が印加される場合、チャンネルを形成するため、隣接する2つのデータ線が半導体層を通して連結されている場合には2つのデータ線の間に信号の干渉が発生する。従って、このように隣接する2つのデータ線間の半導体層を分離する必要がある。また、開口部81の大きさを画素電極63の大きさより大きく形成すると、前述したように、画素電極63を下部導電層のみで形成することが可能である。

【0059】次いで、このような構造の液晶表示装置用薄膜トランジスタ基板の製造方法について、図3〜11に基づいて詳しく説明する。

【0060】図6、8、10は、本発明の実施形態例によって製造する中間過程での薄膜トランジスタ基板の配置図であって、製造順序に沿って順に示したものである。図7(A)、(B)は、図8のV11B-V11B'及びV11C-V11C'方向から見た断面図である。図9(A)、(B)は、図8のV11B-V11B'及びV11C-V11C'方向から見た断面図である。図11(A)、(B)は、図10のV111B-V111B'及びV111C-V111C'方向から見た断面図である。

【0061】まず、図6〜7に示すように、第1マスクを利用し、ゲート線22とゲート電極26とゲートパッド24とを含むゲート配線を基板10の上に横方向に形成する。前述したように、ゲート配線22、24、26はアルミニウム-ネオジウム合金膜及びモリブデン・タンタム合金膜の二重層から形成することができ、この場合には乾式エッチングを利用するのが好ましい。それ以外にも、クロム(Cr)膜/アルミニウム-ネオジウム合金膜の二重層から形成することができ、この場合には湿式エッチングを利用する。

【0062】その次に、図8〜9に示すように、ゲート絶縁膜30及び半導体層40を化学気相蒸着法を利用して連続蒸着する。次いで、クロムまたはモリブデンなどシリサイドを形成し得る耐火性金属からなる金属層(図示しない)を半導体層40の上に積層し、半導体層40とその上の金属層との間にシリサイド層50を形成する。その後、シリサイド層50の上の金属層を除去する。第2マスクを利用してシリサイド層50と半導体層40とゲート絶縁膜30とからなる3重層を、プラズマエッチング方法により同一形態に一度にパターニングする。この時、半導体層40のエッチング速度がゲート絶縁膜30のエッチング速度より十分に速くなるようにし(例えば、3:1)、傾斜が緩やかになるようにする。形成されたパターンは、図8に示すように、横方向にゲート配線22、24、26に沿って形成されてゲート配線22、24、26を完全に覆う。さらに、ゲートパッド24を露出させる接触孔31も3重層に形成する。

【0063】ここで、順序を変えることもできる。例えば、まず半導体層40及びゲート絶縁膜30をパターニ

ングしてから耐熱性金属層を蒸着し、シリサイド層50を形成してから、再び残っている金属層を除去する順序で工程を進めることもできる。この場合には、金属層が接触孔31を通過してゲートパッド24の直ぐ上にも形成されるため、ゲート配線とどのような物質から形成するかに応じてゲートパッド24の構造が異なり得る。例えば、ゲート配線22、24、26を二重膜に形成し、下部膜はクロムから形成し、上部膜はアルミニウムまたはアルミニウム合金から形成し、金属層としてモリブデンを使用する。この場合、モリブデンはアルミニウムエッチング液でエッチングされるため、シリサイド層50を形成してからアルミニウムエッチング液で金属層をエッチングすると、アルミニウムからなるゲートパッド24の上部膜と共にエッチングされて下部膜が露出される。下部膜がクロム膜であるため、ITOとの接触特性が優れている。他の例としては、ゲート配線22、24、26の下部膜をアルミニウムまたはアルミニウム合金から形成し、上部膜はモリブデンから形成する場合をあげることができる。この場合、金属層としてクロムを使用すると、金属層が除去される時にもゲートパッド24の上部膜はエッチングされずに残っているため、この場合にもITOとの接触特性が優れる。

【0064】また、シリサイド層50の代わりに、微細結晶化されたアモルファスシリコン層を使用することもできる。即ち、ゲート絶縁膜30と半導体層40と微細結晶化されたn型アモルファスシリコン層を積層し、この三重膜をパターンニングする。

【0066】ドーピングされたアモルファスシリコン層とシリサイド層とは、共に接触層として用いられる。

【0066】次いで、図10～11に示すように、ITO膜とモリブデナータングステン合金膜またはクロム膜とを連続して積層する。積層された膜を第3マスクを利用してパターンニングし、二重膜からなるデータ線62、72、データパッド64、74、ソース電極65、75、ドレイン電極66、76、画素電極63、73及びゲートパッドパターン67、77を形成する。なお、分離された多数の接触層56、56、57、58は、シリサイド層50のうち二重膜で覆われない部分を除去して形成される。

【0067】最後に、図3～5に示すように、窒化珪素からなる保護膜80を積層し、第4マスクを利用して乾式エッチング方法でパターンニングして開口部81、82、83、84、85を形成する。さらに、開口部81、82、83、84、85の下に露出された画素電極63、73、ゲートパッドパターン67、77、データパッド64、74の上部膜及び半導体層をエッチングする。これによって、画素電極63、73、ゲートパッドパターン67、77及びデータパッド64、74は、大部分が下部膜63、67、64のみから形成され、半導体層は2つの部分42、47に分離される。この時、保

護膜80及び半導体層のエッチングは、乾式エッチングを利用すると連続して行うことができる。エッチング気体としては、窒化珪素対アモルファスシリコンの比が約10:1である塩素(C12)/酸素(O2)気体を使用することができる。

【0068】このような薄膜トランジスタ基板はこれ以外にも多様に変形された形態及び方法で製造することができる。変形された構造を有することもできる。

【0069】その一例として図12に、本発明の第2実施形態例に係る薄膜トランジスタ基板を示す。図12に示すように、画素電極63がスリット形態の開口部68を有している。これは視野角の拡張のための構成である。具体的には、開口部68の周縁部で電場がゆがんで発生するフリンジフィールドを利用して1つの画素領域内に液晶分子の平均長軸方向が異なる多数の微細領域を形成することによって、視野角を拡張する。このような開口部は、1つの画素電極63内に多数形成可能である。

【0070】本発明によると、4枚のマスクを利用して液晶表示装置用薄膜トランジスタ基板を製造すると共にゲートパッドを保護することができ、液晶表示装置の漏洩電流を効果的に防止することができる。

【0071】次いで、三重層をエッチングする写真エッチング工程で透過率を部分的に異なるように調節し得るマスクを使用して液晶表示装置用薄膜トランジスタ基板を製造する方法において、マスク数を減少させる方法について詳しく説明する。この場合、前記の実施形態例と異なり、ゲート絶縁膜パターンと半導体層パターンと接触層パターンとが互いに異なる形態に形成される。

【0072】本実施形態例では、ゲートパッドを露出させる接触孔をゲート絶縁膜に形成するときに、ゲート絶縁膜を半導体層及びその上の接触層と共にパターンニングする。このパターンニングにより、画面表示部では半導体層及び接触層のみが除去されてゲート絶縁膜が残り、ゲートパッド部ではゲート絶縁膜が完全に除去される。

【0073】図13～15は、本発明の第3実施形態例に係る液晶表示装置用薄膜トランジスタを示した図面である。図13は配置図を示す。図14及び図15は、それぞれ図13のX1-X1'線方向及びX11-X11'線方向から見た断面図である。

【0074】図14に示すように、アルミニウムまたはアルミニウム合金、モリブデンまたはモリブデナータングステン合金、クロム、タンタルなどの金属または導電体からなるゲート配線が、絶縁基板10の上に形成されている。ゲート配線は、横方向に伸びている走査信号線またはゲート線22と、ゲートパッド24と、薄膜トランジスタのゲート電極26とを含む。ゲートパッド24は、ゲート線22の端に連結されていて外部から走査信号の印加を受けてゲート線22に伝達する。薄膜トランジスタのゲート電極26は、ゲート線22の一部であ

る。

【0075】ゲート配線22、24、26は、単一層から形成されてもよいし、二重層または三重層から形成されてもよい。二重層以上に形成する場合には、1つの層は抵抗が小さな物質から形成し、他の層は他の物質との接触特性が良好な物質から形成するのが好ましい。例えば、Cr/AI（またはAl合金）の二重層またはAl/Moの二重層が挙げられる。

【0076】ゲート配線22、24、26の上には、窒化珪素(SiNx)などからなるゲート絶縁膜30が形成され、ゲート配線22、24、26を覆っている。

【0077】ゲート絶縁膜30の上には水素化アモルファスシリコンなどの半導体からなる半導体層パターン42、48が形成されている。半導体層パターン42、48の上には、シリサイドなどからなる接触層パターンまたは中間層パターン55、56、67、59が形成されている。

【0078】一方、半導体層パターン42、48及び接触層パターン55、56、67、59は、画面表示部の内部ではゲート電極26の上部などゲート配線22、24、26と交差するデータ配線とが交差する部分に形成されており、周辺部では全体にわたって形成されている。ただし、ゲートパッド24の上の接触層パターン57、半導体層パターン48及びゲート絶縁膜30には、ゲートパッド24を露出させる接触孔82が形成されている。

【0079】接触層パターン55、56、67、59の上には、ITO(indium tin oxide)のような透明または不透明な導電物質からなる第1データ層パターン62、63、64、65、66、67が形成されている。その上には、MoまたはMoW合金、Cr、AlまたはAl合金、Taなどの導電物質からなる第2データ層パターン72、74、76、78、77からなるデータ配線が形成されている。データ配線は、データ線62、72と、データパッド64、74と、データ線部とを含む。データ線62、72は縦方向に形成されている。データパッド64、74は、データ線62、72の一端に連結され、外部からの画像信号の印加を受ける。データ線部は、データ線62、72の一部である薄膜トランジスタのソース電極65、75からなる。また、データ配線は、薄膜トランジスタのドレーン電極66、76と、画素電極63と、補助ゲートパッド67、77とを含む。ドレーン電極66、76は、データ線部と分離されていて、ゲート電極26に対してソース電極65、75の反対側に位置する。画素電極63はドレーン電極66、76と連結されている。補助ゲートパッド67、77は、接触孔82を通してゲートパッド24の直ぐ上に形成され、ゲートパッド24を覆う。ここで、データ線62、72、ソース電極65、75、ドレーン電極66、76は二重層から形成されている。補助ゲートパ

ッド67、77及びデータパッド64、74は、一部が二重層から形成され、残りは第1データ層パターン67、64の単一層から形成されている。画素電極63は、第1データ層パターン67、64の単一層から形成されている。

【0080】一方、画素電極63とゲート線22とは、重畳して維持層を形成する。

【0081】第2データ層パターン72、74、76、78、77は、ゲート配線22、24、26と同様に単一層から形成しても、二重層または三重層から形成してもよい。勿論、二重層以上に形成する場合には、1つの層を抵抗が小さな物質から形成し、他の層を他の物質との接触特性が良好な物質から形成するのが好ましい。

【0082】接触層パターン55、56、67、59は、その下部の半導体層パターン42、48と、その上部の第1データ層パターン62、63、64、65、66、67との接触抵抗を減少させる役割を果たす。接触層パターンは、半導体層パターン42、48と第1データ層パターン62、63、64、65、66、67との間にのみ存在する。

【0083】第2データ層パターン72、74、76、78、77及びデータ配線で覆われない半導体層パターン42、48は、保護膜80で覆われている。保護膜80は、半導体層パターン42のうちの少なくともソース電極75とドレーン電極76との間に位置するチャンネル部分を覆って保護する役割を果たす。保護膜80は、窒化珪素またはアクリル系などの有機絶縁物質から形成可能である。

【0084】ここでは、画素電極63の材料の例として透明なITOをあげたが、反射型液晶表示装置の場合には不透明な導電物質を使用しても是支えない。

【0085】次いで、本発明の実施形態例に係る液晶表示装置用基板の製造方法について、図16～29及び前述の図13～15に基づいて詳しく説明する。

【0086】まず、図16～18に示すように、金属などの導電性層をスパッタリングなどの方法で1、000～3、000Åの厚さに蒸着する。蒸着膜を、第1マスクを利用して乾式または湿式エッチングし、基板10の上にゲート線22、ゲートパッド24及びゲート電極26を含むゲート配線を形成する。

【0087】次いで、図19～21に示すように、ゲート絶縁膜30及び半導体層40を、化学気相蒸着法を用いてそれぞれ1、500～5、000Å、500～1、500Åの厚さに連続して蒸着する。次いで、半導体層40と反応してシリサイドを形成することができる物質、例えばクロムなどの耐火性金属をスパッタリングなどの方法で蒸着し、半導体層40の上に300～600Åの厚さのシリサイド層50を形成する。その後、残った金属層を除去する。第2マスクを用いてシリサイド層50と半導体層40とゲート絶縁膜30とをパターンニ

グシ、半導体層パターン42、48とその上のシリサイドパターン52、58及び接触孔31(図25、26参照)を形成する。この時、図20に示す周辺部Pでは、ゲートパッド24の上のシリサイド層50、半導体層40及びゲート絶縁膜30を除去するが、画面表示部Dでは半導体層パターン42、48及びその上部のシリサイドパターン52、58以外の部分では半導体層40及びシリサイド層50のみを除去してゲート絶縁膜30は除去されないようにする。このようにするために、部分に応じて厚さが異なる感光膜パターンを形成し、これをエッチングマスクとして下部の膜を乾式エッチングする。これを図20～26に基づいて詳しく説明する。

【0088】まず、シリサイド層50の上に感光膜PR、好ましくは陽性の感光膜を5、000～30、000Åの厚さに塗布する。その後、第2マスク300、410、420を通して感光膜を露光する。露光後の感光膜PRの状態は、図20及び21に示すように画面表示部Dと周辺部Pとで異なる。即ち、画面表示部Dの感光膜PRのうち露光された部分Cは、表面から一定の深さまでだけが光に反応して高分子が分解され、その下には高分子がそのまま残っている。周辺部Pの感光膜PRはこれと異なり、露光された部分Bは下部まで全て光に反応して高分子が分解された状態になる。ここで、画面表示部Dや周辺部Pの露光される部分C、Bはシリサイド層50が除去される部分である。

【0089】このためには、画面表示部Dに使用するマスク300と周辺部Pに使用するマスク410、420との構造を変更すればよい。ここでは3つの方法を提示する。

【0090】図22(A)及び(B)に示すように、マスク300、400は通常、基板310、410と、その上のクロムなどからなる不透明なパターン層320、420と、パターン層320、420及び露出された基板310、410を覆っているベリクル330、430とからなる。このマスクにおいて、例えば画面表示部Dに使用されるマスク300のベリクル330の光透過率が、周辺部Pに使用されるマスク400のベリクル430の光透過率より低くなるように形成する。例えば、ベリクル330の透過率がベリクル430の透過率の10～80%、好ましくは20～60%程度の範囲であるようにする。

【0091】別の方法として、図23(A)及び(B)に示すように、画面表示部Dのマスク300には全面にわたってクロム層350を約100～300Åの厚さで形成して透過率を低下させる。一方、周辺部Pのマスク400にはこのようなクロム層を形成しない。このようなマスク300、400を用いる場合、画面表示部D用マスク300のベリクル340と、周辺部P用マスク400のベリクル430とで、透過率を同一にすることが出来る。

【0092】ここで、前記2つの方法を混用して使用することができるのは勿論である。

【0093】前記2つの例はステッパーを使用した分割露光の場合に適用し得るものであって、画面表示部Dと周辺部Pとが異なるマスクを使用して露光されるため可能なものである。このように分割露光する場合には、その他にも画面表示部Dと周辺部Pとの露光時間を異にすることによって厚さを調節することもできる。

【0094】しかし、画面表示部Dと周辺部Pとを分割露光せずに1つのマスクを使用して露光することもできる。この場合に適用され得るマスクの構造を、図24に基づいて詳しく説明する。

【0095】図24に示すように、マスク500の基板510の上には透過率調節膜550が形成されている。透過率調節膜550の上には、パターン層520が形成されている。透過率調節膜550は、画面表示部Dではパターン層520の下部だけでなく全面にわたって形成されているが、周辺部Pではパターン層550の下部のみに形成されている。結局、基板510の上には高さが異なる2つ以上のパターンが形成されている。

【0096】勿論、周辺部Pに透過率調節膜を形成することもできる。この場合、周辺部Pの透過率調節膜の透過率は画面表示部Dの透過率調節膜550の透過率より高い透過率を有しなければならない。

【0097】このような透過率調節膜550を有する光マスク500の製造は、以下のようにして行われる。まず、透過率調節膜550と、この透過率調節膜550とエッチング比が異なるパターン層520とを、基板500の上に連続して積層する。全面にわたって感光膜(図示しない)を塗布して露光及び現像してから感光膜をエッチングマスクとしてパターン層520をエッチングする。残っている感光膜を除去し、再び周辺部Pの接触孔に対応する位置の透過率調節膜を露出させる新たな感光膜パターン(図示しない)を形成する。その後、新たな感光膜パターンをエッチングマスクとして透過率調節膜550をエッチングし、光マスク500を完成する。

【0098】このような方法以外にも、露光露の分解能より小さな大きさのスリットまたは格子形態の微細パターンを有するマスクを使用して透過率を調節することもできる。

【0099】結局、1つのマスクを利用する場合には、画面表示部Dと周辺部Pとを区分する必要がなく、接触孔31に対応する第1領域と、半導体パターン42、48に対応する第2領域と、第1及び第2領域を除いた第3領域との透過率を異なるように調節することができるマスクを利用すれば良い。これによって、図20に示すように、微小な第1部分Bと、第1の厚さを有する第2部分Aと、第1の厚さより薄い第2の厚さを有する第3部分Cとを有する感光膜PRを形成することができる。

【0100】しかし、感光膜PRのうち、下部の反射率

が高い金属層、即ち、ゲート配線22、24、26が位置する部分は、反射された光によって露光時に他の部分より光の照射量が多くなるおそれがある。これを防止するために、下部からの反射光を遮断する層を形成したり着色された感光膜PRを使用することができる。

【0101】このような方法で感光膜PRを露光してから現像すると、図19及び20に示すように、厚さが異なる感光膜パターンPRが形成される。即ち、ゲートパッド24の一部の上には感光膜が形成されておらず、ゲートパッド24以外の全ての周辺部P及び画面表示部Dの半導体層パターンが形成される部分のシリサイド層50の上部には厚い感光膜Aが形成されており、画面表示部Dの他の部分には薄い感光膜Bが形成されている。

【0102】この時、感光膜PRの薄い部分の厚さは、最初の厚さの約1/4～1/7程度、即ち360～1000Å程度、より好ましくは1000～6000Åになる。例えば、感光膜PRの最初の厚さを26000～30000Åとし、画面表示部Dの透過率を30%として、薄い感光膜の厚さが3000～5000Åになるようにすることができる。しかし、残す厚さは乾式エッチングの工程条件によって決定されなければならないので、このような工程条件によってマスクのベリクル、残留クロム層の厚さ、透過率調節膜の透過率または露光時間などを調節しなければならない。

【0103】このような薄い厚さの感光膜は通常の方法で感光膜を露光、現像した後にリフローを通じて形成することもできる。

【0104】次いで、乾式エッチング方法で感光膜パターンPR及びその下部の膜、即ち、シリサイド層50、半導体層40、ゲート絶縁膜30に対するエッチングを進める。

【0105】この時、前述したように、感光膜パターンPRのうちのA部分は完全に除去されずに残っていないければならず、B部分の下部のシリサイド層50、半導体層40、ゲート絶縁膜30は除去されなければならず、C部分の下部においてはシリサイド層50及び半導体層のみを除去してゲート絶縁膜30は除去されないようにする。

【0106】このためには、感光膜パターンPRとその下部の膜とを同時にエッチングすることができる乾式エッチング方法を使用するのが好ましい。即ち、乾式エッチング方法を使用すると、図25及び26に示すように、感光膜が存在しないB部分の下部のシリサイド層50、半導体層40、ゲート絶縁膜30の3層と、C部分の薄い感光膜、シリサイド層50、半導体層40の3つの層とを同時にエッチングすることができる。この時、感光膜パターンPRのA部分もある程度の厚さまでエッチングされる。

【0107】従って、一回のマスク工程及び乾式エッチング方法を通じて、画面表示部Dではシリサイド層50

及び半導体層40のみを除去してシリサイド層パターン52、58及び半導体層パターン42、48を形成し、周辺部Pではシリサイド層50、半導体層40及びゲート絶縁膜30を全て除去して接触孔31を形成することができる。

【0108】次いで、残っているA部分の感光膜パターンを除去し、厚さ400～500ÅのITO層及び厚さ1500～3000Åの導電体層を、スパッタリングなどの方法で蒸着する。次いで、第3マスクを使用して導電体層、ITO層及びその下のシリサイドパターン52、58をパターンニングし、図27～29に示す構造のデータ配線及びその下部の接触層パターン55、56、57、59を形成する。この時、データ配線はまだ完成していない状態であるので、2つの層が同一形態を有している。

【0109】次いで、図13～16に示すように、窒化珪素をCVD方法で蒸着する有機絶縁物質をスピンコーティングして厚さ3000Å以上の保護膜80を積層した後、第4マスクを利用してパターンニングする。この時、保護膜80は画素電極63、補助ゲートパッド67及びデータパッド64の上部層、即ち、第2データ層パターン73、77、74の一部が露出されるようにパターンニングされなければならない。

【0110】最後に、第2データ層パターン73、77、74のうちの露出された部分を除去して薄膜トランジスタ基板を完成する。

【0111】ここでも、画素電極63を露出させる開口部を、図3に示すように形成することができる。このとき、画素電極の周縁は開口部により露出され、開口部を通じて露出されたゲート絶縁膜パターン30をエッチングする工程を追加することができる。

【0112】このように、本実施形態例では、ゲートパッド24を露出させる接触層31を半導体層パターン42、48及びその上のシリサイドパターン52、58と共に1つのマスクを使用して形成することによってマスク数を減少させる。

【0113】一方、前記実施形態例では薄膜トランジスタ基板に画素電極のみが偏入されている場合を例としてあげたが、このような方法は画素電極及び共通電極が薄膜トランジスタ基板に全て偏入されている場合にも適用され得る。

【0114】このような場合が以下に説明しようとする本発明の第4実施形態例に示されている。これを図30～41に基づいて詳しく説明する。

【0115】図30は、本発明の第4実施形態例に係る液晶表示装置用薄膜トランジスタ基板の配置図である。図31及び32は、図30のXXI-XXI'線及びXXII-XXII'線に沿って切断した場合の断面図である。

【0116】絶縁基板10の上に、アルミニウム(A

1) またはアルミニウム合金 (Al alloy)、モリブデン (Mo) またはモリブデン-タングステン (MoW) 合金、クロム (Cr)、タンタル (Ta) などの金属または導電体からなるゲート配線が形成されている。ゲート配線は、横方向に伸びている走査信号線またはゲート線 22、ゲート線 22 の端に連結され外部から印加される走査信号をゲート線 22 に伝達するゲートパッド 24 及びゲート線 22 の一部である薄膜トランジスタのゲート電極 26 を含む。

【0117】基板 10 の上にはゲート配線と同一な物質からなる共通電極配線が形成されている。共通電極配線は、ゲート線 22 と平行に横方向に伸びている共通電極線 27 と共通電極線 27 の縦方向分枝である共通電極 28 とを含む。図示していないが、共通電極線 27 の端に形成され、印加される共通電極信号を共通電極線 27 に伝達する共通電極線パッドもゲートパッド 24 とほぼ同一な形態に形成されている。

【0118】ゲート配線 22、24、26 及び共通電極配線 27、28 の上には、窒化珪素 (SiN_x) などからなるゲート絶縁膜 30 が形成され、ゲート配線 22、24、26 及び共通電極配線 27、28 を覆っている。

【0119】ゲート絶縁膜 30 の上には水素化アモルファスシリコンなどの半導体からなる半導体層パターン 42、44、48 が形成されている。半導体層パターン 42、44、48 の上にはリン (P) などの n 形不純物でドーピングされた水素化アモルファスシリコンやシリサイドなどからなる接触層パターン 54、55、56、59 が形成されている。

【0120】一方、半導体層パターン 42、44、48 は、画面表示部の内部では、ゲート電極 26 の上部などゲート配線 22、24、26 及び共通電極配線 27、28 と交差するデータ配線とが交差する部分に形成されている。また、周辺部では全体にわたって形成されている。ただ、半導体層パターン 48 及びゲート絶縁膜 30 にはゲート電極 26 を露出させる接触孔 31 が形成されている。

【0121】接触層パターン 54、55、56、59 の上には、Mo または MoW 合金、Cr、Al または Al 合金、Ta などの導電物質からなるデータ配線 72、74、75、76、77、78、79 が形成されている。データ配線は、まず、縦方向に形成されているデータ線 72 と、データ線 72 の一端に連結されて外部から画像信号の印加を受けるデータパッド 74 と、データ線 72 の一部である薄膜トランジスタのソース電極 75 とからなるデータ線部とを含む。さらに、データ配線は、データ線部 72、74、75 と分離されていて、ゲート電極 26 に対してソース電極 75 の反対側に位置する薄膜トランジスタのドレイン電極 76 を含む。また、データ配線は、ドレイン電極 76 と連結されていて、共通電極線 27 と平行な横方向の画素電極線 79 と、画素電極線 7

9 に連結されていて共通電極 28 と平行な画素電極 78 とを含む。画素電極 78 と共通電極 28 とは交互に配置されて電場を形成する。

【0122】一方、画素電極 78 は共通電極線 27 と重畳して維持電極を形成可能である。

【0123】データ配線 72、74、75、76、77、78、79 もゲート配線 22、24、26 及び共通電極配線 27、28 と同様単一層から形成可能であるが、二重層または三重層から形成してもよい。勿論、二重層以上に形成する場合には一層は抵抗の小さな物質から形成し、他の層は他の物質との接触特性が良好な物質から形成するのが好ましい。

【0124】接触層パターン 54、55、56、59 は、その下部の半導体層パターン 42、44、48 とその上部のデータ配線 72、74、75、76、77、78、79 との接触抵抗を低下させる役割を果たす。この接触層パターンは、半導体層パターン 42、44、48 とデータ配線 72、74、75、76、77、78、79 との間にのみ存在する。

【0125】データ配線 72、74、75、76、77、78、79 及びデータ配線で覆われない半導体層パターン 42、44、48 は、保護膜 80 で覆われており、ゲートパッド 24 及びデータパッド 74 を露出させる接触孔 82、83 を有している。保護膜 80 は、半導体層パターン 42 のうちの少なくともソース電極 75 とドレイン電極 76 との間に位置するチャンネル部分を覆って保護する役割を果たし、窒化珪素またはアクリル系などの有機絶縁物質から形成可能である。

【0126】次いで、本発明の実施形態例に係る液晶表示装置用基板の製造方法について、図 33~41 及び前述の図 30~32 に基づいて詳しく説明する。

【0127】まず、図 33~35 に示すように、金属などの導電層をスパッタリングなどの方法で厚さ 1、000~3、000 Å に蒸着し、第 1 マスクを利用して乾式または湿式エッチングする。これにより、基板 10 の上にゲート線 22、ゲートパッド 24 及びゲート電極 26 を含むゲート配線と、共通電極線 27、共通電極線パッド (図示しない) 及び共通電極 28 を含む共通電極配線とを形成する。

【0128】次いで、図 36 及び 37 に示すように、ゲート絶縁膜 30、アモルファスシリコン層 40 及びドーピングされたアモルファスシリコン層 50 を、化学気相蒸着法を利用してそれぞれ厚さ 1、600 Å~5、000 Å、500 Å~1、500 Å、300 Å~600 Å に連続して蒸着する。第 2 マスクを使用してドーピングされたアモルファスシリコン層 50、アモルファスシリコン層 40 及びゲート絶縁膜 30 をパターンニングし、半導体層パターン 42、44、48 とその上のドーピングされたアモルファスシリコン層パターン 52、54、58 と接触孔 31 とを形成する。この時、周辺部では、ゲ

ートパッド24の上のドーピングされたアモルファスシリコン層50、アモルファスシリコン層40及びゲート絶縁膜30を除去し、画面表示部Dでは半導体層パターン42、44、48及びその上部のドーピングされたアモルファスシリコン層パターン52、54、58以外の部分から半導体層40及びドーピングされたアモルファスシリコン層50のみを除去し、ゲート絶縁膜30は除去されないようにしなければならない。

【0129】これに使用される方法は第3実施形態例と同一である。即ち、部分に応じて厚さが異なる感光膜パターンを形成し、これをエッチングマスクとして下部の膜を乾式エッチングする。このような感光膜パターンを形成するときには、部分に応じて光透過率が異なるマスクを使用する。

【0130】次いで、金属などの導電体層をスパッタリングなどの方法で厚さ1,500〜3,000Åに蒸着する。次いで、第3マスクを使用して導電体層及びその下のドーピングされたアモルファスシリコン層パターン62、54、68をパターンニングし、図39〜41に示す構造のデータ配線72、74、75、76、77、78、79及びその下部の接触層パターン54、55、56、69を形成する。

【0131】最後に、図30〜32に示すように、窒化珪素をCVD方法で蒸着するか有機絶縁物質をスピンコーティングすることにより、厚さ3,000Å以上の保護膜80を積層する。その後、第4マスクを利用してパターンニングして、ゲートパッド24、共通電極パッド及びデータパッド74を露出させる接触孔82、83を形成することによって薄膜トランジスタ基板を完成する。

【0132】勿論、第1実施形態例のような製造方法でも、部分的に透過率を異なるように調節することができるマスクを利用すると、接触孔31以外の部分にゲート絶縁膜30を残し、薄膜トランジスタの半導体パターン42のみを残すことができる。

【0133】このように、本実施形態例では、ゲートパッド24を露出させる接触孔31を半導体層パターン42、44、48及びその上のドーピングされたアモルファスシリコン層パターン52、54、58と共に1つのマスクを使用して形成することによって、マスク数を減少させる。

【0134】

【発明の効果】以上のように、本発明は薄膜の新たな写真エッチング方法を通して液晶表示装置用薄膜トランジスタ基板の製造工程数を減少させ、工程を単純化して製造原価を低くすると共に収率を向上させる。また、広い面積を互いに異なる深さにエッチングすると共に、1つのエッチングの深さに対しては均一なエッチングの深さを有することができるようにする。

【図面の簡単な説明】

【図1】本発明の実施形態例によって液晶表示装置用薄膜トランジスタ基板を製造するための基板の領域を区分して示した図面である。

【図2】本発明の実施形態例によって1つの液晶表示装置用薄膜トランジスタ基板に形成された素子及び配線を概略的に示した配置図である。

【図3】本発明の第1実施形態例に係る液晶表示装置用薄膜トランジスタ基板であって、図2の1つの画素及びパッドを中心にして拡大した図面である。

【図4】図3に示した薄膜トランジスタ基板のI-V線の断面図である。

【図5】図3に示した薄膜トランジスタ基板のV-V線の断面図である。

【図6】本発明の実施形態例によって製造する中間過程での薄膜トランジスタ基板の配置図であって、製造順序に従って順に示した図面である。

【図7】(A) 図6のVIB-VIB線に沿った断面図である。

(B) 図6のVIC-VIC線に沿った断面図である。

【図8】本発明の実施形態例によって製造する中間過程での薄膜トランジスタ基板の配置図であって、製造順序に従って順に示した図面である。

【図9】(A) 図8のVIIB-VIIB線に沿った断面図である。

(B) 図8的VIC-VIC線に沿った断面図である。

【図10】本発明の実施形態例によって製造する中間過程での薄膜トランジスタ基板の配置図であって、製造順序に従って順に示した図面である。

【図11】(A) 図10のVIIB-VIIB線に沿った断面図である。

(B) 図10のVIC-VIC線に沿った断面図である。

【図12】本発明の第2実施形態例に係る液晶表示装置用薄膜トランジスタ基板の配置図である。

【図13】本発明の第3実施形態例に係る液晶表示装置用薄膜トランジスタ基板の配置図である。

【図14】図13に示した薄膜トランジスタ基板のXI-XI'線に沿った断面図である。

【図15】図13に示した薄膜トランジスタ基板のXI-XI'線に沿った断面図である。

【図16】本発明の実施形態例によって製造する第1段階での薄膜トランジスタ基板の配置図である。

【図17】図16のXIIB-XIIB'線に沿った断面図である。

【図18】図16のXIC-XIC'線に沿った断面図である。

【図19】図16〜18の次の段階での薄膜トランジスタ基板の配置図である。

【図20】図19のXIVB-XIVB' 線に沿った断面図である。

【図21】図19のXIVC-XIVC' 線に沿った断面図である。

【図22】(A)、(B) 図19～21の段階で使用される光マスクの構造を示した断面図である。

【図23】(A)、(B) 図19～21の段階で使用される光マスクの構造を示した断面図である。

【図24】図19～21の段階で使用される光マスクの構造を示した断面図である。

【図25】図19のXIVB-XIVB' 線に沿った断面図であって、図20及び21の次の段階での断面図である。

【図26】図19のXIVC-XIVC' 線に沿った断面図であって、図20及び21の次の段階での断面図である。

【図27】図25～26の次の段階での薄膜トランジスタ基板の配置図である。

【図28】図27のXIXB-XIXB' 線に沿った断面図である。

【図29】図27のXIXC-XIXC' 線に沿った断面図である。

【図30】本発明の第4実施形態例に係る液晶表示装置用薄膜トランジスタ基板の配置図である。

【図31】図30に示した薄膜トランジスタ基板のXXI-XXI' 線に沿った断面図である。

【図32】図30に示した薄膜トランジスタ基板のXXII-XXII' 線に沿った断面図である。

【図33】本発明の実施形態例によって製造する第1段階での薄膜トランジスタ基板の配置図である。

【図34】図33のXXIII B-XXIII B' 線に沿った断面図である。

【図35】図33のXXIII C-XXIII C' 線に沿った断面図である。

【図36】図33～35の次の段階での薄膜トランジスタ

タ基板の配置図である。

【図37】図36のXXIVB-XXIVB' 線に沿った断面図である。

【図38】図36のXXIVC-XXIVC' 線に沿った断面図である。

【図39】図36～38の次の段階での薄膜トランジスタ基板の配置図である。

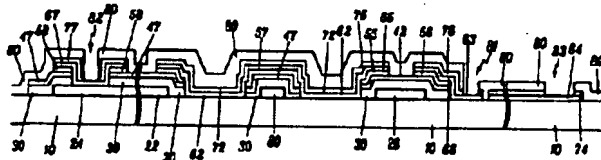
【図40】図36のXXVB-XXVB' 線に沿った断面図である。

【図41】図36のXXVC-XXVC' 線に沿った断面図である。

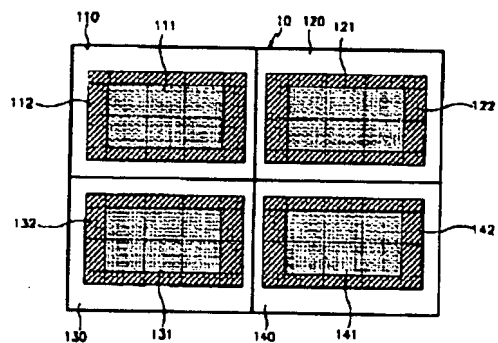
【符号の説明】

- 3 薄膜トランジスタ
- 4 ゲート線ショートバー
- 5 データ線ショートバー
- 6 ショートバー連結部
- 7 接触孔
- 10 基板
- 22 ゲート線
- 24 ゲートパッド
- 26 ゲート電極
- 30 ゲート絶縁膜
- 31 接触孔
- 42, 47 半導体層パターン
- 55, 56, 57, 58 接触層パターン
- 63 画素電極
- 62, 72 データ線
- 64, 74 データパッド
- 65, 75 ソース電極
- 67, 77 ゲートパッドパターン
- 84, 85 開口部
- 110, 120, 130, 140 パネル領域
- 111, 121, 131, 141 画面表示部
- 112, 122, 132, 142 周辺部

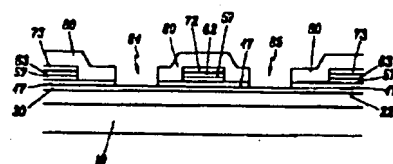
【図4】



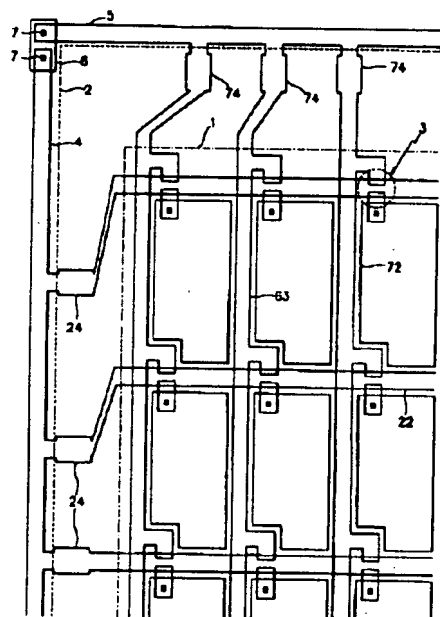
【图1】



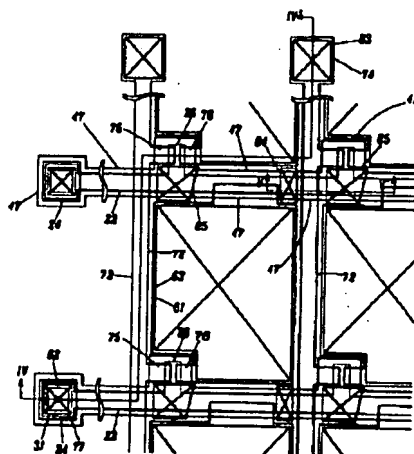
【图5】



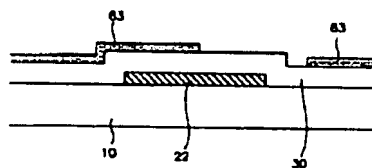
【图2】



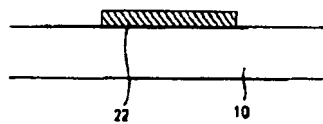
【图3】



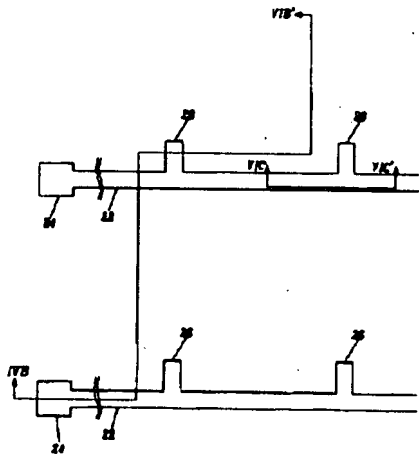
【图15】



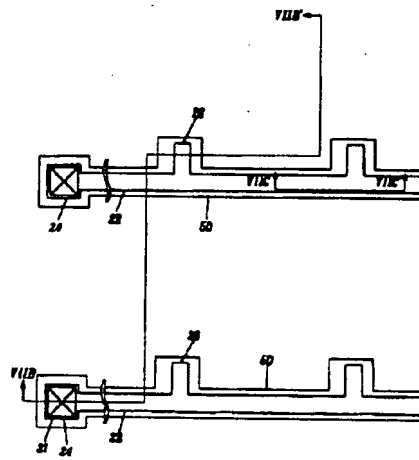
【图18】



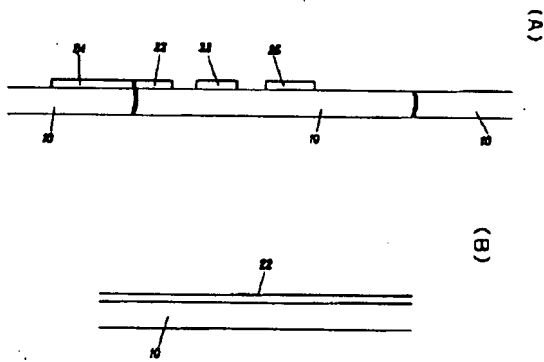
[圖 6]



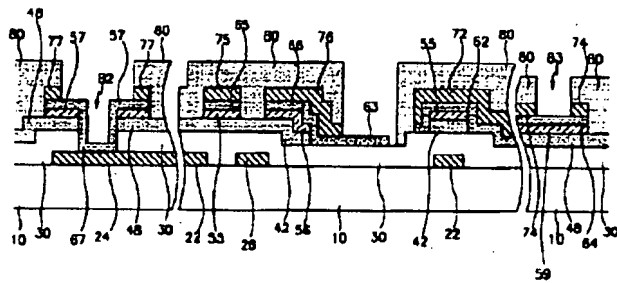
[圖 8]



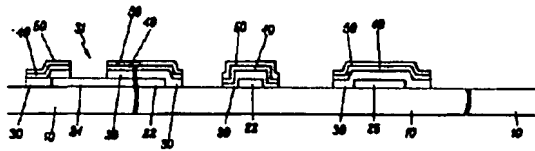
[圖 7]



[圖 14]

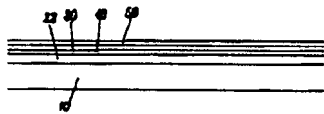


[图9]

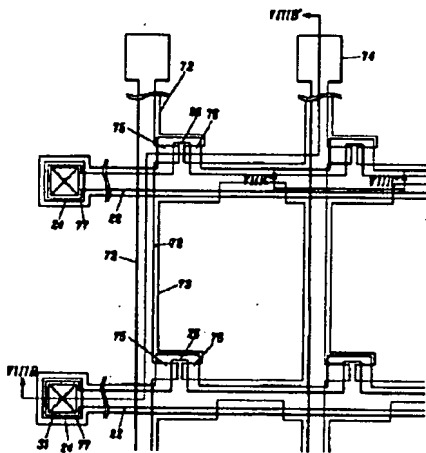


(A)

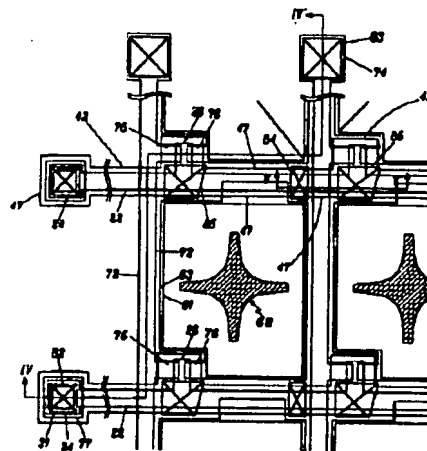
(B)



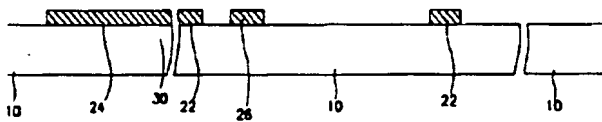
[图10]



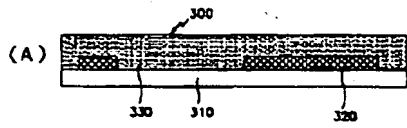
[图12]



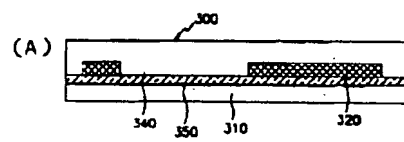
[图17]



(A) A cross-sectional view of a substrate 310 with a patterned layer 300 on top. The patterned layer 300 has a central region 320 and side regions 330.

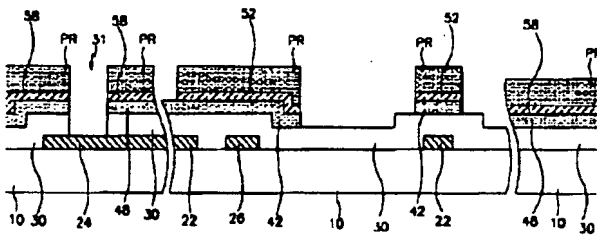
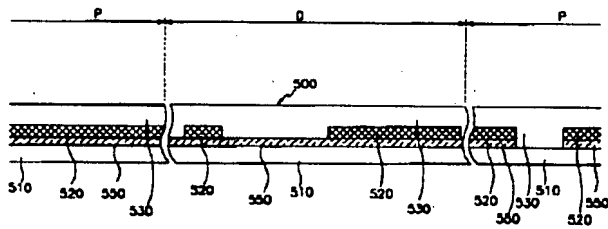
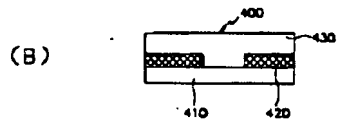


(A) shows a cross-sectional view of a semiconductor device 300. It features a substrate 310 with a thin layer 350 on its top surface. Two rectangular regions, 340 and 320, are formed on the layer 350. Region 340 is on the left, and region 320 is on the right, separated by a gap in the layer 350.

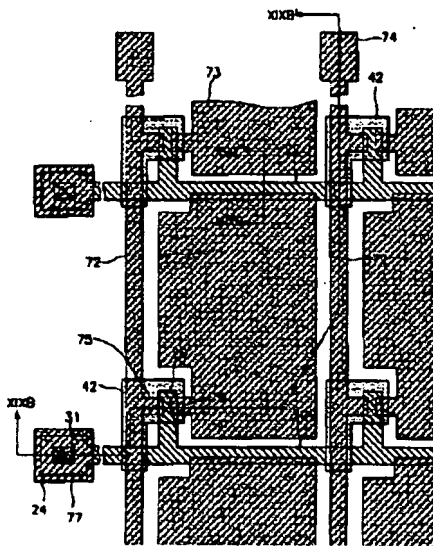


(B)

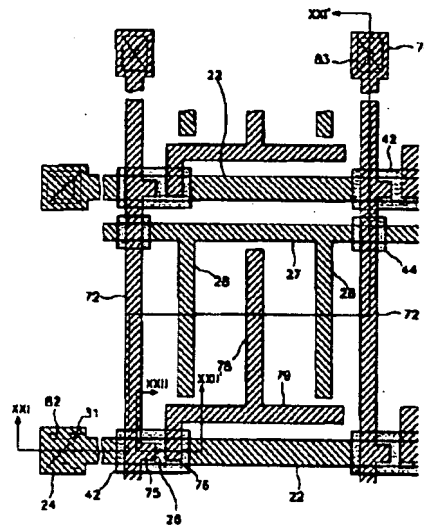
Diagram (B) shows a cross-sectional view of a second embodiment of the device. It features a substrate 400 with a central opening 410. A layer 420 is disposed on the substrate, and a layer 430 is disposed on the layer 420. The layer 430 is positioned on the substrate 400, covering the opening 410.



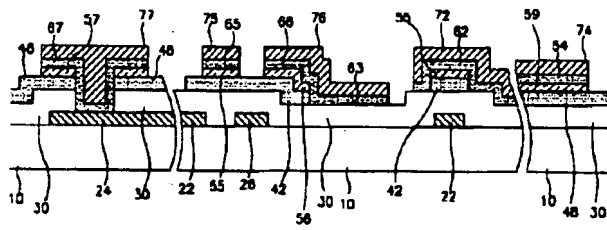
【図27】



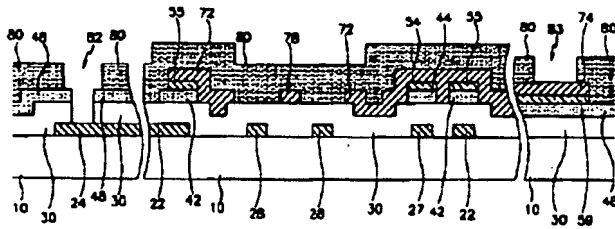
【図30】

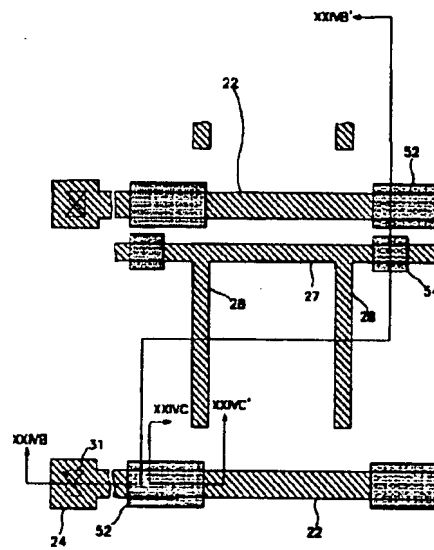
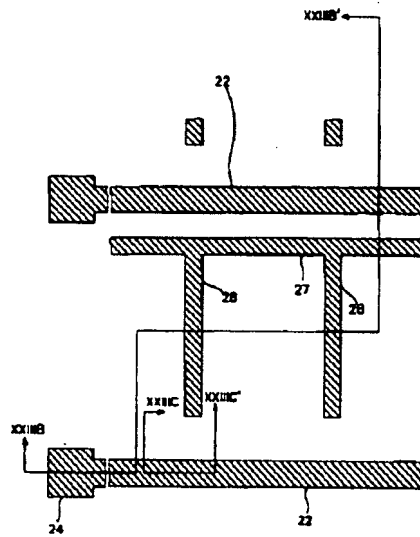
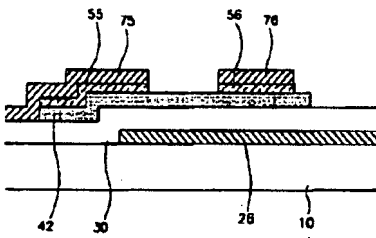
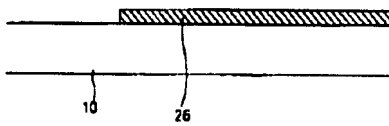
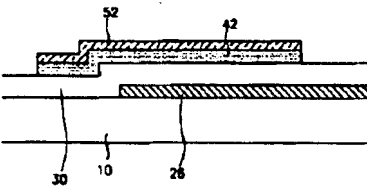
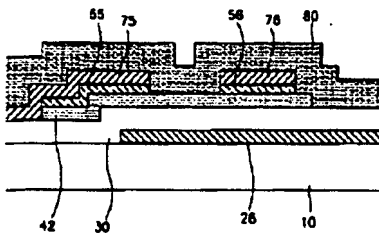


【図28】

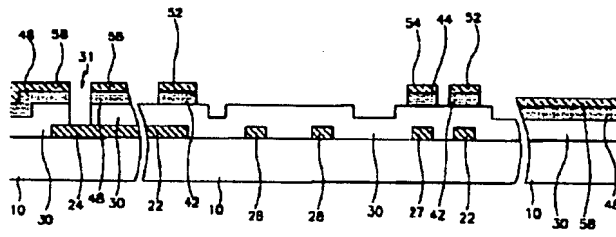


【図31】

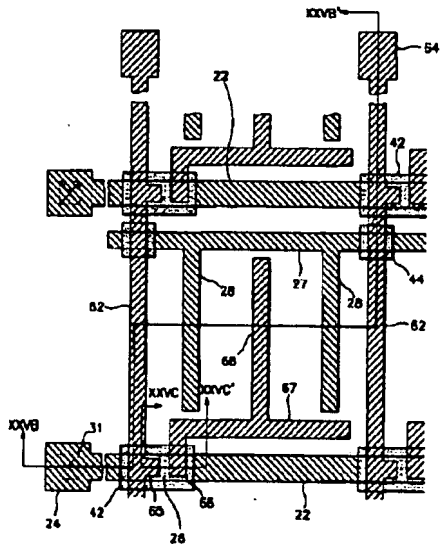




[圖 37]



[圖 39]



[圖 40]

